

JTAGテストを活用した最新メモリのテスト手法

アンドールシステムサポート(株) / 谷口 正純

1 はじめに

JTAGテストは、IEEE1149.1規格のバウンダリスキャンアーキテクチャによるテスト手法である。日本ではJTAGテスト、海外ではJTAG Testingなどと呼ばれることが多い。IEEE1149.1規格の策定に携った北米やヨーロッパの企業では、JTAGテストの文化が急速に浸透したため、現在は一般的な実装検査の手法として根付いている。特に自動車メーカー、車載機器メーカーでは、ECUを制御するマイコンの部品選定条件として、バウンダリスキャン機能が動作することを定めているほど、実装保証をするために有効なテスト手法として確立されている。

では、国内のJTAGテストの普及状況はどうだろうか。実はこの数年でJTAGテストを適用するケースが増えており、ブームと呼べる状況になってきている。JTAGテストが国内にどのように広がったか、また最近のユーザーがJTAGテストを活用してDDRメモリ実装基板をどのようにテストしているかを、昨年10月に東京、名古屋、大阪で開催されたJTAGテストのイベント「JTAGフォーラム 2017」より最新の情報を紹介したい(図1)



図1 JTAG Technologies社 社長 Peter van den Eijnden氏が新製品を発表

2 JTAGテストの広がり

「見えない、触れない基板」という言葉をご存知だろうか。BGAパッケージや3次元実装パッケージを搭載した高密度実装は、外観検査では見えない、またプローブでは触れないことから、このように呼ばれている。

この「見えない、触れない基板」では、様々な実装トラブルが潜んでいる(図2)。様々な検査手法があるが、これらの実装トラブルを検出できる有効なテスト手法として、JTAGテストが今注目を集めている。

JTAGテストが最初に国内に広まったのは1990年代である。JTAGテスト規格が定められた当初は、コンピュータ、サーバー、液晶テレビ、携帯電話、デジタルカメラ、デジタルムービーなど、高付加価値の製品へのJTAGテストの適用が始まり最初のブームとなった。

次の大きなブームは、事務機器やコピー機を中心とした画像処理用のデジタル基板の検査を目的として、JTAGテストを導入する企業が増えていった(図3)。

この数年は実装密度が高い映像処理を必要とする製品への適用と、高い安全性と信頼性が求められる車載機器、鉄道

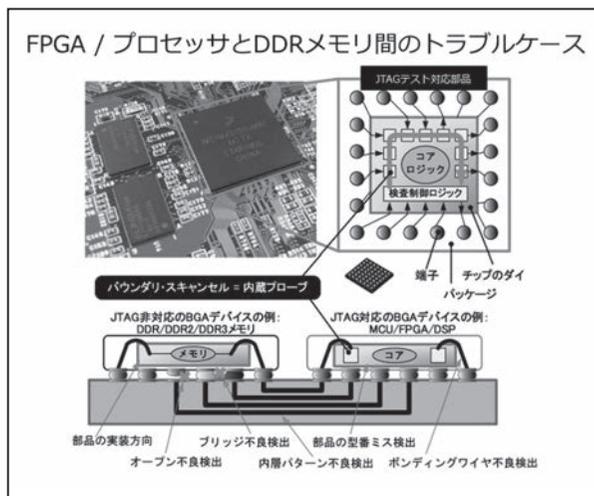


図2 「見えない/触れない基板」のトラブル

機器、メーカー制御機器の基板検査にJTAGテストが適用されるケースが増えてきている。車載用のCPUはBGAパッケージ化が進み、CPUにはJTAGテスト機能が搭載されるようになり、JTAGテストの適用が広がっている(図4)。

当社ではユーザー企業にご協力頂き、実装テストの課題とJTAGテストの導入メリットを事例として発表している。6社の導入事例を冊子にまとめ、「JTAGテスト導入事例集」として配布している(図5)。

今日のJTAGテストがブームとなっている状況は、3つの進化「部品の進化」「基板の進化」「ツールの進化」が要因であると考えられる。まず「部品の進化」であるが、パッケージの進化が挙げられる。CPU、FPGA、メモリなどの部品はBGAパッケージが標準となり、高性能なプロセッサは3次元実装化が進んだ。また、チップ抵抗、チップコンデンサの極小化により、「見えない、触れない基板」が増えたために検査が困難な状況が増えている。

次に「基板の進化」であるが、回路の高速化が進み、基板上

のDDRメモリ、PCI Express、HDMIなどのパターンにテストパッドを配置できないために、プローブピンで触れないことが挙げられる。テストパッドを配置するとテストパッドがスタブになってしまい、高速信号が反射してしまいノイズ源になってしまうのである。そのため、プローブピンでは「触れない基板」が増えている。

また、以前は基板上にJTAGインターフェースが用意されておらず、テストのために設計変更が必要となり、JTAGテストを活用できないことが多かった。しかし、最近のCPUはArmプロセッサが主流となり、JTAGデバッグが標準となったため、JTAGテストを考慮しなくても、基板上にJTAGインターフェースを持っているケースが増えている。

試作基板ではCPUにはデバッグ用のJTAGコネクタが用意されており、またFPGAやPLDには書き込み用のJTAGコネクタが用意されている。この状況の変化もJTAGテストを後押ししている一つの要因となっている。

JTAGテストは被検査基板上にあるJTAGインターフェース

の5本の信号(部品によっては4本の信号)を使用して、持ち運びができるJTAGコントローラを接続してテストできるコンパクトなシステム構成となっている(図6)。

そのため、開発部門の回路デバッグ用途で使用されることもあり、試作基板ではJTAGコネクタとケーブルで接続して、量産基板ではコネクタ用のランドにプローブピン経由で接触してJTAGテストを実行することができる。

JTAGテストの日本国内の市場動向

- 第1次ブームの適用製品 (1990年代～)
 - コンピュータ、サーバ
 - プラズマTV、液晶TV
 - 携帯電話、デジタルカメラ、デジタルムービー
- 第2次ブームの適用製品 (2000年代～)
 - 事務機器 / 複合機
 - コンピュータ周辺機器
 - 産業機器 (計測機器、LSIテスタ、制御機器)

図3 JTAGテストの過去のブーム

国内24年間のサポート実績

JTAGテスト 導入事例集

JTAGテストで 成功した企業の生の声
なぜ、BGA基板の検査と故障解析の課題を解決できたのか!?

図5 JTAGテスト 導入事例集

JTAGテストの市場の広がり

- 第3次ブームの適用製品 (2010年～)
 - 自動車搭載機器
 - 鉄道機器
 - メカトロニクス
 - アミューズメント、映像機器
 - EMSメーカーへの導入

図4 JTAGテストの第3次ブーム

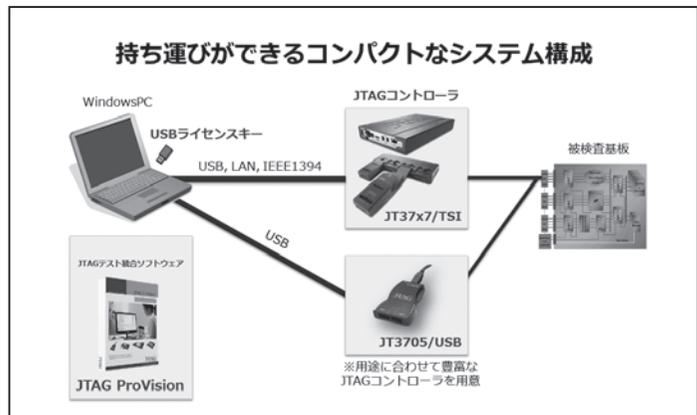


図6 コンパクトなシステム構成

F E A T U R E

F E A T U R E

そして「ツールの進化」であるが、2005年までのJTAGテストツールでは、技術者が回路図を解読しながらテキストエディタでテストパターンを手動で作成する必要があった。しかし、2006年以降はJTAG統合環境「JTAG ProVision」がリリースされ、JTAG非対応部品が全てライブラリ化されたため、テストパターンが自動生成される仕組みに変わった。

この「ツールの進化」がきっかけとなり、JTAGテストを準備する工数を劇的に削減することができるようになった。世界中のユーザーからライブラリ作成の依頼を受けて、部品ライブラリが日々増えており、2018年1月時点で23万種類を超えている(図7)。

検査準備は半日もあれば、JTAGテストを実施する準備が整うようになった。これらの進化がJTAGテストのブームを後押ししており、この傾向は様々なマーケットで拡大するものと考えられる。

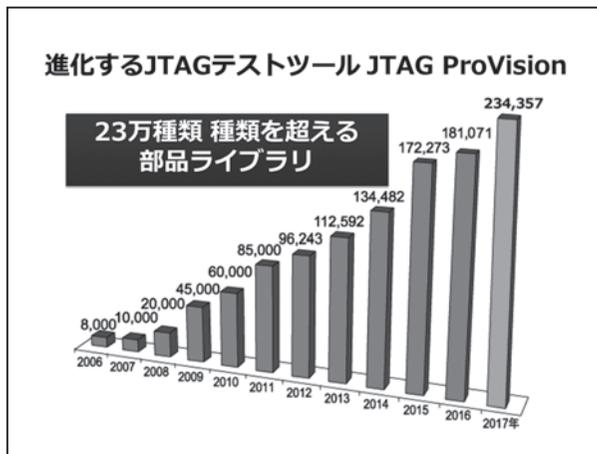


図7 JTAGツールの進化

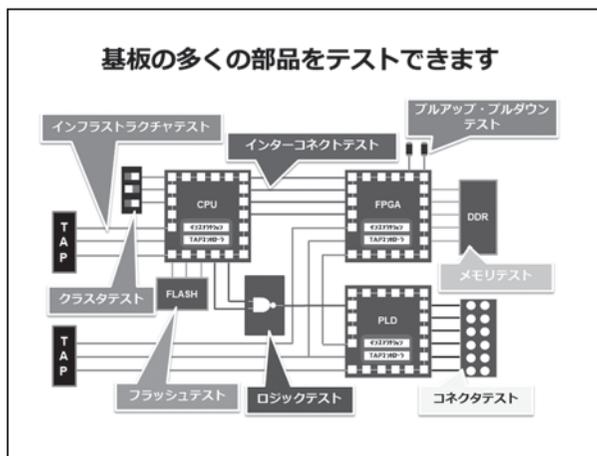


図8 JTAGテストのカバレッジ

3 JTAGテストの仕組み

JTAGテストの仕組みは、IEEE 1149.1で国際的に規格化されている。JTAGテストでは基板上の主要部品をPCから制御して、通電試験を実施できる。テストのために特別な回路は必要なく、JTAGの5本の信号(部品により4本の信号)のみで容易に基板全体を検査でき、周辺回路を制御して高いテストカバレッジが得られることが特徴である。ユーザー事例では、画像処理基板の85%がJTAGテストのみでカバーできる例もあった(図8)。

JTAGテストは、製品基板上に実装されたCPU、FPGA、DSPなどの端子内部のバウンダリスキャンセルをテスト用のプローブとして使う手法であり、QFPパッケージの部品だけではなく、物理的にプロービングができないBGAパッケージ、3次元パッケージの部品に対しても検査できる。

JTAGテストに対応する部品には、テストアクセスポート(JTAGインターフェース)と各端子の内部にバウンダリスキャンセルが内蔵されている。また、JTAGテストを実行するためのJTAGテスト機能の命令レジスタとデータレジスタ、またコアロジックとのマルチプレクサが内蔵されている(図9)。

シリコンベンダは、デバイスごとにJTAGテスト用の内部ロジックと制御方法を記述したBSDFファイル(バウンダリスキャン記述言語)を提供している。このBSDFファイルは、一般的にデバイスベンダのホームページよりダウンロードできる。

JTAGテストは、テストフィクスチャなどの治具を必要とせず、製品の試作段階から基板検査を実施する環境が整うため、試作基板の受入検査から使用することができる。CPUのファームウェアやFPGAのロジック設計の完了を待たずに、

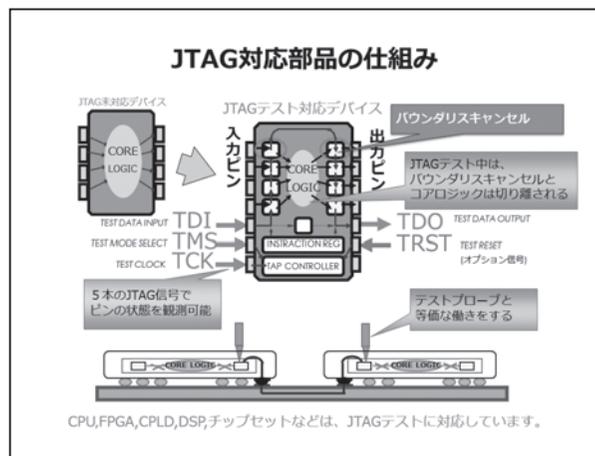


図9 JTAG対応部品の仕組み

JTAGテストの機能を活用して周辺回路のデバッグを進めることもできるため、設計者にとっては開発サイクルを短縮できるというメリットが生まれてくる。また、設計者が製造工程の検査準備をしている企業にとっては、試作基板の受入検査で準備したテストデータは、量産工程でも活用できることから、設計者の負担を大幅に低減できる。さらに、不具合解析が自動化できるため、設計者が製造不良の調査に関わる負担も低減できる。

4 DDRメモリ搭載基板のテスト手法

DDRメモリはJEDEC半導体技術協会により規格化され、現在ではDDR5メモリの規格が検討されている。市販されているPCにはDDR4メモリが搭載されるようになったが、産業機器では部品の価格と性能のバランスが良いDDR3メモリの搭載が主流となっている。また、OSを搭載した製品向けの大容量のメモリとしては、eMMC(エンベデッド・マルチメディアカード)が実装されるケースが増えている。これらのメモリ部品は、全てBGAパッケージが標準となっている。したがって、従来の検査手法では実装保証が困難でありJTAGテストの導入企業ではJTAGテストを活用して通電試験により実装保証している。

産業機器には、CPUとDDR3メモリを搭載した構成の基板が多い。メモリデバイスは、配線の本数が多く、製品の品質に直結する部分であるため、BGAパッケージが実装された基板の実装検査は必要不可欠となる。DDR3メモリにはJTAGテスト機能が内蔵されていないため、JTAGテストでは検査できないと思われることが多いが、JTAGテストに対応して

いるCPU、FPGA、DSPなどの主要部品を制御して、DDR3メモリの読み書きを行うことにより、実装保証を実現することができる。

テストパターンの生成は、回路図CADから出力されるネットリストと部品ライブラリから自動生成される(図10)。そのため、設計試作基板の受入前の段階から「JTAG ProVision」を使用してJTAGテストパターンを準備することができる。JTAGコントローラと被検査基板との接続には、JTAG ICE(デバッガ)用のコネクタやFPGAの書き込み用のコネクタを利用できるため、受入検査には最適なテスト方法となる。

「JTAG ProVision」では、DDR3メモリをはじめ、様々な規格のメモリに対応しており、ウィザード形式で基板上に実装されているメモリのリストからテストするメモリを選択するだけで、メモリテスト用のテストパターンが自動生成される(図11)。

生成されたテストパターンには、実装検査用のテストアルゴリズムが組み込まれており、CPUとメモリ間の実装不良箇所が自動的に診断される。

JTAGテストの特徴は、部品の端子をPCから自由に制御できるため、試作段階でCPUのファームウェアが無くても、FPGAのロジックが無くても、周辺回路のデバッグを進めることができることである。

回路設計者のデバッグ基板を短縮でき、物理的な不良が無いことを事前に確認したうえで、ソフトウェアのデバッグを進めることができる。従って、製品全体の開発サイクルを短縮することができる。

さらに、生産技術者にとっては、試作段階で生成したJTAGテストパターンを量産段階でも活用でき、プローブピンを削減したシンプルな検査治具とJTAGテストを組み合わせれば、検査設備の垂直立上げを実現することができる。

では、JTAGテストを活用したDDRメモリの実装保証を、どのように実現できるか4つの例を紹介する。

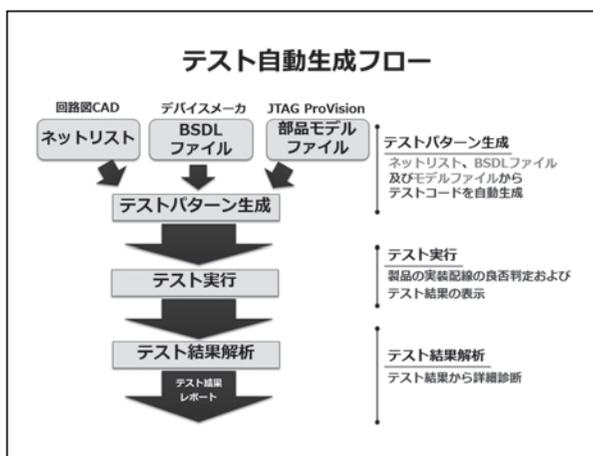


図10 テスト自動生成フロー



図11 DDRメモリ用 テスト生成ウィザードの画面

【例1】

バウンダリスキャンによるDDRメモリテストCPU、FPGAのメモリコントローラの端子に、バウンダリスキャンセルが内蔵されている例であるが、この場合はPCからCPUの端子をコントロールしてメモリへの読み書きを行う。

書き込んだデータが正しく読み出せれば、メモリのコント

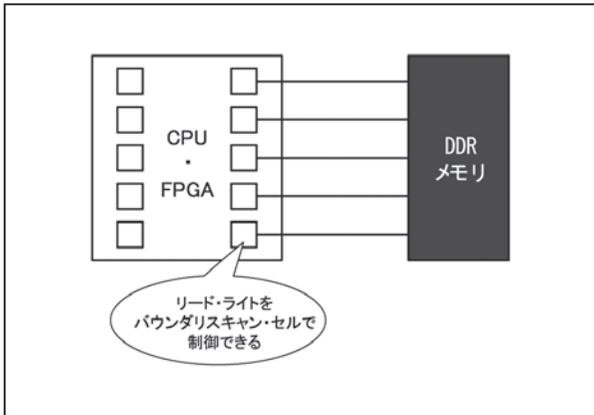


図12 JTAGテストによるDDRメモリテスト

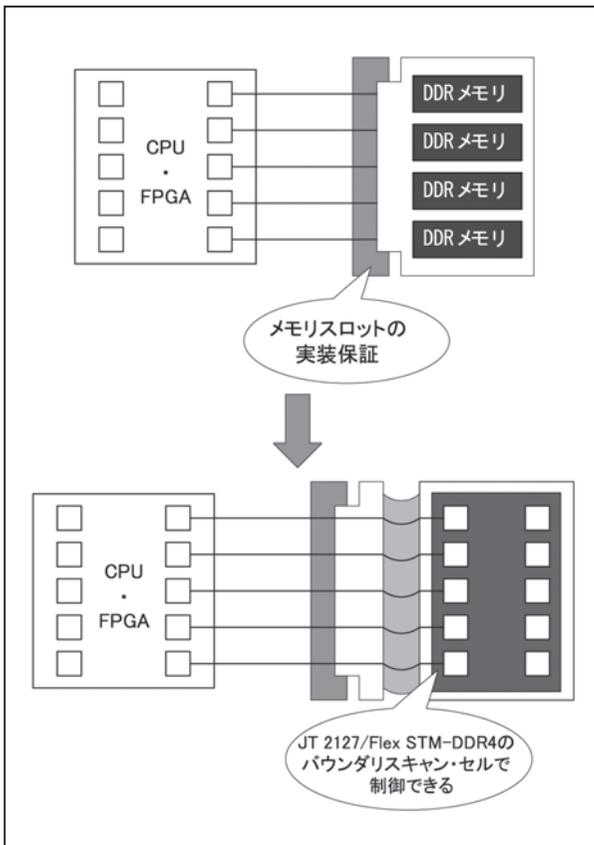


図13 DDR DIMMスロットのテスト方法

ロール信号とアドレス信号、データ信号が正しく接続されていることが分かる(図12)。

ただし、バウンダリスキャン経由でメモリのクロック信号を制御するため、低速のクロックでメモリを動作させたテストとなるが、実装状態を確認するためには有効な手法であり、BGAパッケージのDDRメモリにおいて、はんだ未接合の検出、はんだブリッジの検出、メモリ部品内のボンディングワイヤの断線の検出など、様々な実装不良が検出できる。



図14 DIMMソケット用のアダプタ

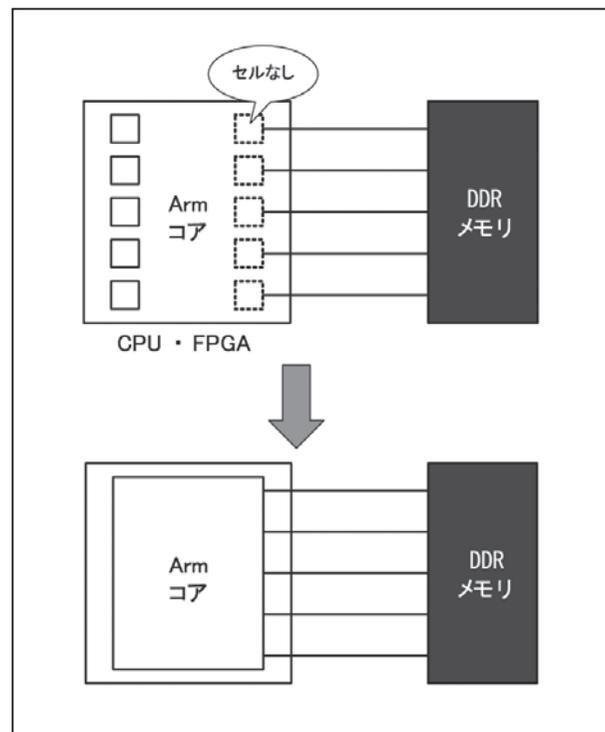


図15 セルがないCPUのDDRメモリテスト

【例2】DDRメモリモジュール用のDIMMスロットのテスト

DDRメモリモジュール用のメモリスロットであるが、もっともテスト時間が短く効率的な方法は、メモリスロット用のIOモジュール「フレックス DIMMソケットアダプタ」を接続してインターコネクトテストを実施することである(図13)。

JTAG Technologies社では、デスクトップPC用のDIMMタイプとノートPC用のSO-DIMMタイプのIOモジュールを提供している(図14)。このモジュールとCPU間の信号

を入出力させることで、メモリスロットとCPUのメモリインタフェースの実装保証を実現できる。

【例3】セルが搭載されていない場合のDDRメモリのテスト

CPUのメモリ端子にバウンダリスキャン・セルが搭載されていない場合であるが、一般的なJTAGテストツールでは検査対象外となってしまうが、最新の「JTAG ProVision」には「CTPG_M(コアコマンド・テストプログラム・ジェネレータ for メモリテスト)」というソフトウェアが追加され、メモリ端子にバウンダリスキャン・セルが搭載されていないCPUについてもテストができるようになった(図15)。

このテストは、CPUやFPGAに内蔵されているArmコアをPCからJTAG経由でコントロールして、At-Speedでメモリテストを行うことができる。画面に表示されるArmコアから制御したいArmコアを選択して、ウィザード形式でDDRメモリのテストパターンが自動生成される(図16)。

さらにテスト結果から、実装不良箇所と故障内容が自動的に診断される。故障診断結果の例であるが、アドレス信号ADD6とADD8がショートしている場合、データ信号DQ3がGNDとショートしている場合には、画面に診断結果が表示される(図17)。

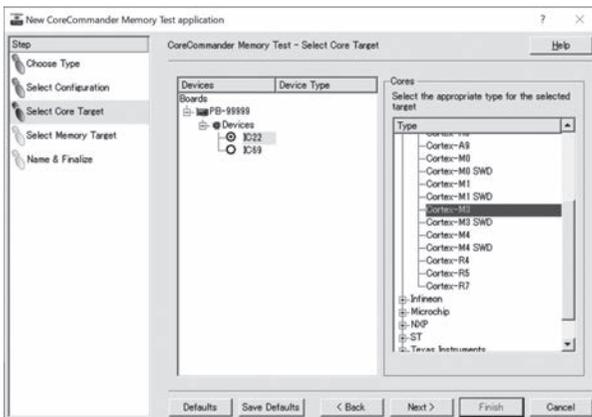


図16 DDRメモリテストパターン生成の画面

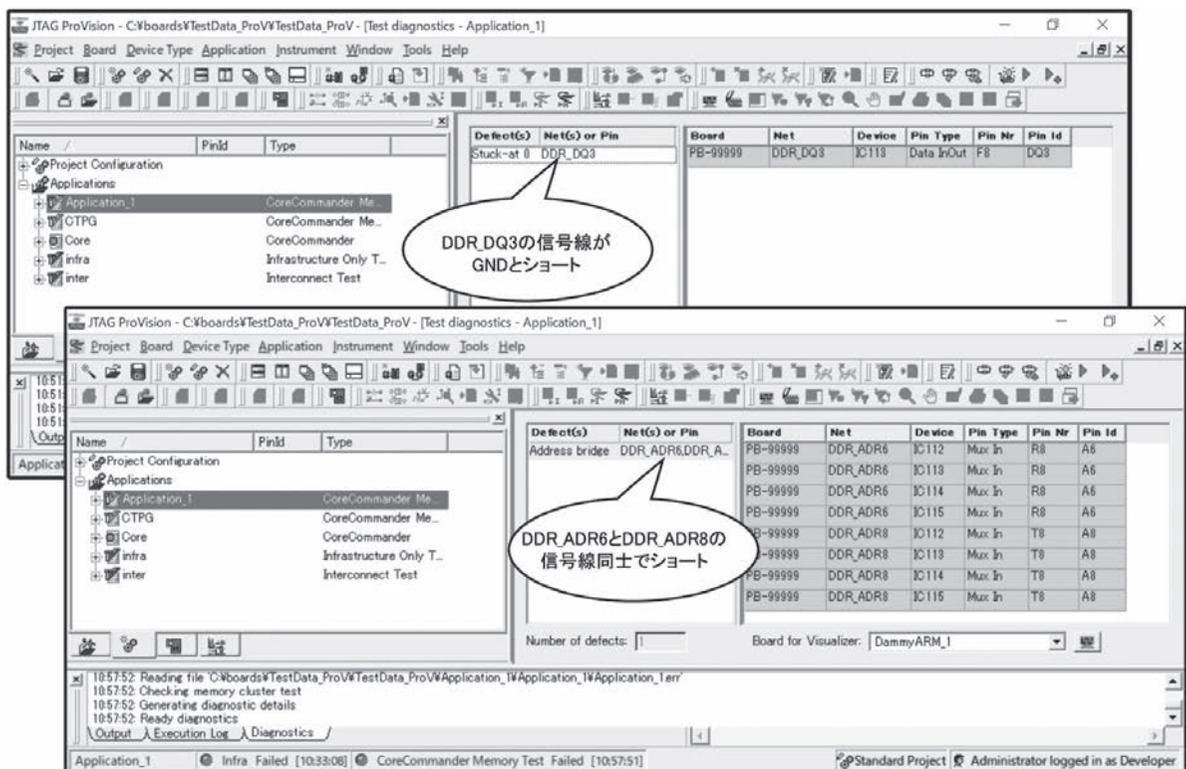


図17 故障診断結果の画面

【例4】DDR4メモリのテスト

DDR4メモリは、高速にアクセスしなければメモリに対して読み書きテストすることができない。そのため、JTAGテスト用のテスト端子がJEDEC規格に追加された。この端子を制御することで、DDR4メモリの機能がロジック部品として機能するようになる。

このロジック回路をJTAGテストからコントロールして、期待値と比較してテストを行い、DDR4メモリ部品の実装保証を実現できる(図18)。

5 JTAGテストの有効活用は設計段階のDFTレビューが重要

JTAG ProVisionを利用すれば、JTAGテスト対応デバイスに直接接続されているメモリデバイスは、簡単な操作で自動的に、信頼できるアルゴリズムを利用したJTAGテストを実施することができる。ファンクションテストプログラムを作成する方法もあるが、最近のプロセッサは高機能になっているため、ファンクションテストの開発規模が年々大きくなっているこ

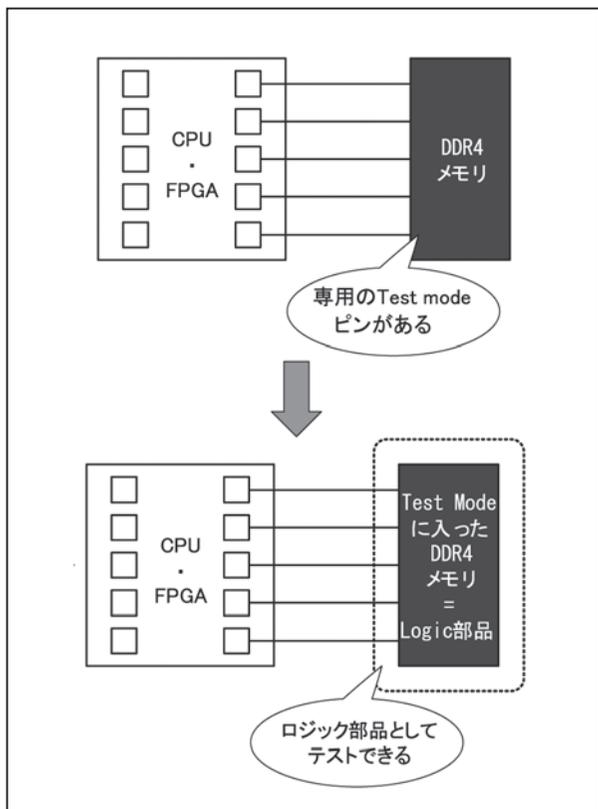


図18 DDR4メモリのテスト手法

とが課題となっている。また、検査プログラムの設計者のスキルによって検査品質、検査精度にばらつきが出てしまうことも問題となっている。

JTAGテストを導入した企業では、これらのファンクションテストの課題を解決するために、JTAGテストと組み合わせ、ファンクションテストの開発規模の削減に成功している。JTAGテストで自動生成されるテスト範囲は、JTAGテストのみで検査することにして、JTAGテストでカバーできないアナログ回路などをファンクションテストで補完するのである。

JTAGテストのテストカバレッジの確認は、株式会社図研の回路CAD オプションの「バウンダリスキャン・アドバイザー」が有効である。

回路設計の初期の段階でも、JTAGテスト対応部品のBSDLファイルを読み込むことで、バウンダリスキャンで制御できる信号が回路CAD「Design Gateway」上でマーキングされ、テストカバレッジを確認しながら回路設計を進めることができる(図19)。

さらに、回路設計が完了した後は、JTAG ProVisionでテストパターンを自動生成した結果を回路図に反映させて、最終的なテストカバレッジをマーキングして、デザインレビューを行うことができる。量産を考慮したテスト容易化設計 DFT (Design for Testability) を確実に実行でき、企業の仕組みにDFTサイクルを根付かせることができる(図20)。

6 まとめ

JTAGテストシステムは、スタンドアロン動作だけでなく、様々なテスト装置との組み合わせをサポートしている。今回紹

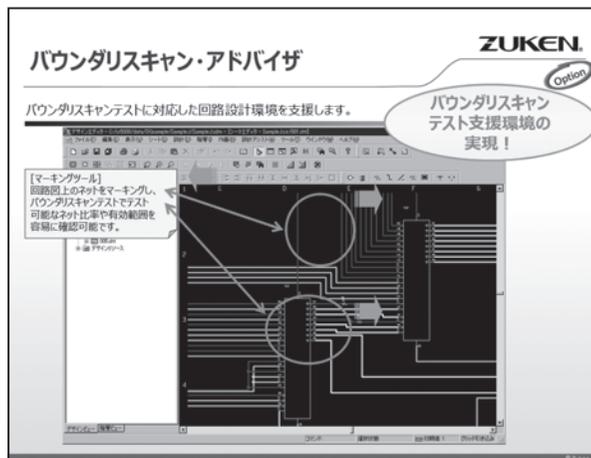


図19 バウンダリスキャン・アドバイザーの機能

介したJTAGテストを活用したBGA実装基板の実装保証は、量産段階では十分なテストカバレッジを保証するため、いくつかの検査手法の組み合わせによる補完テストを行っている。

JTAGテストを導入している多くの工場では、すでに所有しているインサーキットテスタ、ファンクションテスタ、フライングリードテスタの装置にJTAGテスト機能を組み込んで使用している(図21)。

したがって、現行の製造ラインの中で、テストの工程を新たに追加することなく、JTAGテストによりBGA搭載基板を含む高密度実装基板をテストできることになる。

多くの実施可能なテストや検査手法(光学、X線、インサーキットテスト、JTAGテストなど)の組合せの選択は、いくつかの要因(テストする製品の特徴、プロダクションスループットの要求、予想できる不良範囲)に依存する。

JTAGテストは、他のテスト手法ではカバーできないBGAパッケージのテストができるため、最小のコストで最大限のテストカバレッジを補完することができる。また、JTAGテストでは、1つの工程でJTAGテストとオンボードプログラミングまで対応できる。

また、ユーザーが生産ラインを最適化するために、JTAG Technologies社はユーザーにカスタマイズ用のソフトウェアを提供している。例えば、National Instruments社のLabVIEW、LabWindowsやTestStandを使用したファンクションテストシステム用のソフトウェアや各社インサーキットテスタやフライングプローブテスタを含むサードパーティのテストシステムに対して、様々なソフトウェアとハードウェアを準備している。

このように「見えない、触れない」基板の検査に対して、

JTAGテストを活用することで、設計現場における設計者の負荷を低減しながら、開発サイクルを加速できる。また、製造段階では、JTAGテストでBGAの不良個所を特定できることから、製造工程へのフィードバックを実現できる。さらに市場に流出した不良基板を自動的に故障診断することもできる。このJTAGテストを有効活用した「基板検査の明るい未来」は、設計段階におけるテスト容易化設計 DFTが重要である(図22)。

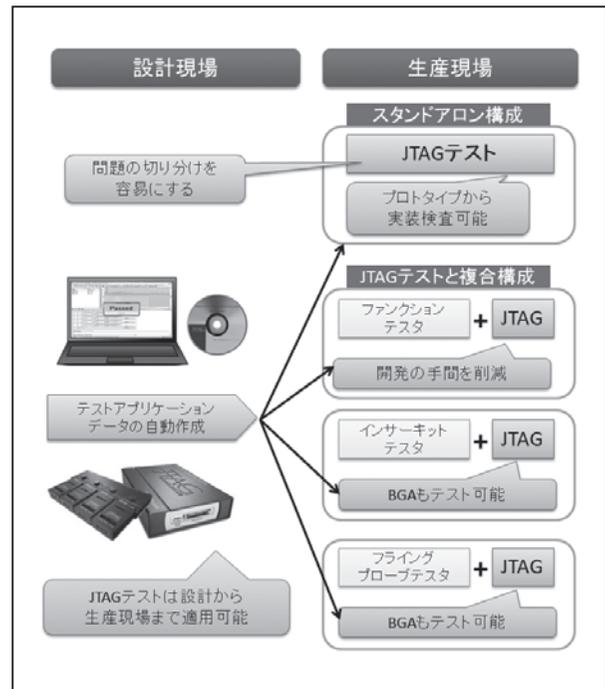


図21 複合検査による検査カバレッジの補完

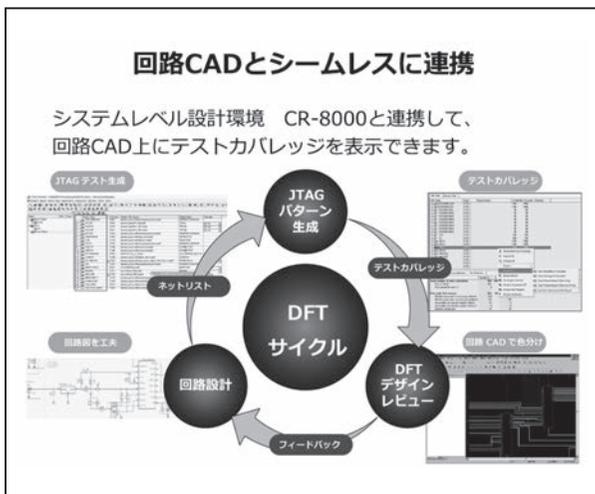


図20 回路CADと連携したDFTサイクル

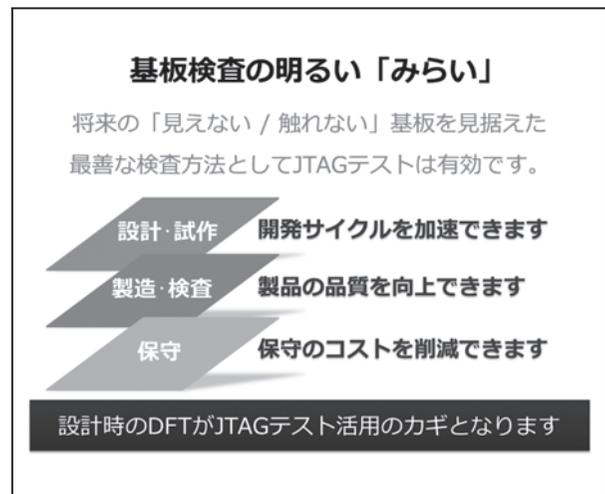


図22 基板検査の明るい「みらい」

FEATURE